

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2002年11月26日
Date of Application:

出願番号 特願2002-342796
Application Number:

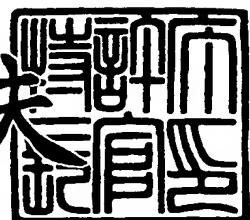
[ST. 10/C] : [JP2002-342796]

出願人 太陽誘電株式会社
Applicant(s):

2003年10月21日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



【書類名】 特許願

【整理番号】 JP02-0090

【提出日】 平成14年11月26日

【あて先】 特許庁長官 殿

【国際特許分類】 H02M 03/28

【発明者】

【住所又は居所】 東京都台東区上野6丁目16番20号 太陽誘電株式会社内

【氏名】 浅沼 和夫

【特許出願人】

【識別番号】 000204284

【氏名又は名称】 太陽誘電株式会社

【代理人】

【識別番号】 100103528

【弁理士】

【氏名又は名称】 原田 一男

【電話番号】 045-290-2761

【手数料の表示】

【予納台帳番号】 076762

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 電源装置

【特許請求の範囲】

【請求項 1】

入力直流電源からの入力電圧を変換する電力変換回路と、
 前記電力変換回路の出力を平滑して負荷に供給する LC フィルタと、
 前記 LC フィルタの出力電圧に基づいて前記電力変換回路を制御する制御回路
 と、
 を具備し、
 前記制御回路は、

【数 1】

$$\frac{N_2 s^2 + N_1 s + N_0}{s^2 + D_1 s + D_0}$$

(N₀、N₁、N₂、D₀及びD₁は係数)

で表され且つ分子の根が実数である伝達関数 G を実現し、
 前記電力変換回路の伝達関数と前記 LC フィルタ及び負荷の伝達関数と前記制
 御回路の伝達関数 G とから求められる一巡伝達関数が、ゲイン余裕を持たない周
 波数特性を実現することを特徴とする電源装置。

【請求項 2】

入力直流電源からの入力電圧を変換する電力変換回路と、
 前記電力変換回路の出力を平滑して負荷に供給する LC フィルタと、
 前記 LC フィルタの出力電圧に基づいて前記電力変換回路を制御する制御回路
 と、
 を具備し、
 前記制御回路は、

【数2】

$$\frac{N_2s^2 + N_1s + N_0}{s^2 + D_1s + D_0}$$

(N_0 、 N_1 、 N_2 、 D_0 及び D_1 は係数)

で表され且つ分子の根が実数である伝達関数Gを実現し、

前記電力変換回路の伝達関数と前記LCフィルタ及び負荷の伝達関数と前記制御回路の伝達関数Gとから求められる一巡伝達関数が、位相余裕とゲイン余裕のうち位相余裕のみを有する周波数特性を実現することを特徴とする電源装置。

【請求項3】

入力直流電源からの入力電圧を変換する電力変換回路と、

前記電力変換回路の出力を平滑して負荷に供給するLCフィルタと、

前記LCフィルタの出力電圧に基づいて前記電力変換回路を制御する制御回路と、

を具備し、

前記制御回路は、

【数3】

$$\frac{N_2s^2 + N_1s + N_0}{s^2 + D_1s + D_0}$$

(N_0 、 N_1 、 N_2 、 D_0 及び D_1 は係数)

で表され且つ分子の根が実数である伝達関数Gを実現し、

前記電力変換回路の伝達関数と前記LCフィルタ及び負荷の伝達関数と前記制御回路の伝達関数Gとから求められる一巡伝達関数が、位相が -180° となる周波数でゲインが0デシベルを超える周波数特性を実現することを特徴とする電源装置。

【請求項4】

前記位相が -180° となる周波数は、前記LCフィルタの共振周波数からゲイン交差周波数までの周波数帯域内に設定されることを特徴とする請求項3記載

の電源装置。

【請求項 5】

入力直流電源からの入力電圧を変換する電力変換回路と、
前記電力変換回路の出力を平滑して負荷に供給する LC フィルタと、
前記 LC フィルタの出力電圧に基づいて前記電力変換回路を制御する制御回路
と、

を具備し、

前記制御回路は、

【数 4】

$$\frac{N_2 s^2 + N_1 s + N_0}{s^2 + D_1 s + D_0}$$

(N₀、N₁、N₂、D₀及びD₁は係数)

で表され且つ分子の根が実数である伝達関数Gを実現し、
前記電力変換回路の伝達関数と前記 LC フィルタ及び負荷の伝達関数と前記制
御回路の伝達関数Gとから求められる一巡伝達関数が、最も位相が遅れる周波数
でゲインが0デシベルを超える周波数特性を有することを特徴とする電源装置。

【請求項 6】

前記位相が最も遅れる周波数が、前記 LC フィルタの共振周波数からゲイン交
差周波数までの周波数帯域内に設定されることを特徴とする請求項 5 記載の電源
装置。

【請求項 7】

入力直流電源からの入力電圧を変換する電力変換回路と、
前記電力変換回路の出力を平滑して負荷に供給する LC フィルタと、
前記 LC フィルタの出力電圧に基づいて前記電力変換回路を制御する制御回路
と、
を具備し、
前記制御回路は、

【数5】

$$\frac{N_2s^2 + N_1s + N_0}{s^2 + D_1s + D_0}$$

(N_0 、 N_1 、 N_2 、 D_0 及び D_1 は係数)

で表され且つ分子の根が実数である伝達関数 G を実現するP I D制御機能を有し、前記LCフィルタの共振周波数より高い周波数で積分制御要素を適用することを特徴とする電源装置。

【請求項8】

前記制御回路が、さらに、ゲイン交差周波数より低い周波数で微分制御要素を適用することを特徴とする請求項7記載の電源装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、電源装置に関し、より詳しくは電源装置におけるフィードバック制御技術に関する。

【0002】

【従来の技術】

図17に従来の電源装置のブロック線図の概要を示す。このブロック線図では、出力電圧 V_o が負帰還されて目標電圧 V_{ref} から引き算され、その結果である($V_{ref} - V_o$)がP I D制御器に対応する伝達関数P I Dに入力される。この伝達関数P I Dの出力は、フィードフォワードされた目標電圧 V_{ref} と加算されて、当該加算結果は電力変換回路に対応する伝達関数P Wに入力される。伝達関数P Wの出力はLCフィルタなどに対応する伝達関数LCに入力され、当該伝達関数LCの出力が出力電圧 V_o となる。なお、P I D制御器は、比例(P:Proportional)要素、積分(I:Integral)要素及び微分(D:Differential)要素を組み合わせた制御器である。従来では、制御対象を安定制御するため、P I D制御器の伝達関数P I D、電力変換回路に対応する伝達関数P W及びLCフィルタなどの伝達関数LCからなる一巡伝達関数のボード線図において、ゲイン余裕と位

相余裕の2つを確保することが求められてきた。図18は従来の電源装置の一巡伝達関数のボード線図であって、上段はゲインの周波数特性を、下段は位相の周波数特性を示している。位相余裕とは、図18に示すように、ボード線図上においてゲインが0 dB (デシベル) になった時の、-180° (degree) からの位相マージンを言う。位相余裕は、通常は45°から60°以上必要とされている。また、ゲイン余裕とは、同じく図20に示すように、位相が-180°遅れる時のマイナス側のゲインマージンである。通常は6 dB以上必要とされる。

【0003】

このような安定条件の下、具体的には以下のようないくつかの設計がなされる。すなわち、定常偏差を解決するために低周波帯域から積分要素を適用するが、制御対象のLCフィルタが2次遅れ系で共振周波数以降に180°位相遅れが発生するため、共振周波数以降大幅な位相遅れが発生しないように共振周波数より低い周波数で積分要素の適用を終了させている。そして、位相余裕及びゲイン余裕を確保するため、共振周波数付近から微分要素を適用している。しかしながら、このような従来の電源装置においては、ゲイン余裕及び位相余裕を両方確保しながら制御器の設計を行うため、高ゲイン化するのが難しく、高速応答性に問題を有している。

【0004】

また、例えば米国特許第5844403号公報（特許文献1）には、図21のような回路構成が示されている。すなわち、図21の電源装置は、電圧変換器1002と、入力電源1003と、平滑回路1004と、負荷1005と、制御器1000とから構成される。制御器1000は、抵抗R11乃至R17と、キャパシタC11及びC12と、增幅器1011とを有する。抵抗R11及び抵抗R14の一端は負荷1005の正極側に接続されており、抵抗R11の他端は増幅器1011の負極側の入力端子並びに抵抗R12及びR13の一端に、抵抗R14の他端は抵抗R15及びR16並びにキャパシタC12の一端に接続されている。抵抗R12及びR15並びにキャパシタC12の他端は接地されている。また、その一端が抵抗R11及びR12並びに増幅器1011の負極側の入力端子に接続されている抵抗R13の他端は、キャパシタC11に接続されている。キ

ヤパシタC11の他端は、増幅器1011の出力端子及び電圧変換器1002の比較器1021の第1の入力端子に接続される。その一端が抵抗R14及びR15並びにキャパシタC12に接続される抵抗R16の他端は、増幅器1011の正極側の入力端子及び抵抗R17に接続される。抵抗R17の他端は、指令電圧電源V_rの正極側端子に接続される。指令電圧電源V_rの負極側端子は接地されている。

【0005】

電圧変換器1002は、比較器1021と、三角波生成器1022と、ゲート駆動回路1023と、MOSFET1024と、チョークコイル1025とから構成される。上でも述べたように、比較器1021の第1の入力端子は増幅器1011の出力端子及びキャパシタC11に接続されており、比較器1021の第2の入力端子は三角波生成器1022に接続されている。比較器1021の出力端子はゲート駆動回路1023に接続されており、ゲート駆動回路1023の出力はMOSFET1024のゲートに接続されている。MOSFET1024のソースは接地されており、ドレインはチョークコイル1025の一端及び平滑回路1004のダイオード1041のアノードと接続されている。チョークコイル1025の他端は、入力電源1003の正極側端子に接続されている。入力電源1003の負極側端子は接地されている。

【0006】

平滑回路1004は、ダイオード1041とキャパシタ1042とから構成される。上で述べたようにダイオード1041のアノードはMOSFET1024のドレイン及びチョークコイル1025の一端に接続され、カソードはキャパシタ1042の一端及び負荷1005の正極側端子に接続されている。キャパシタ1042の他端は接地されている。負荷1005の正極側端子はダイオード1041のカソード及びキャパシタ1042の一端に接続されており、負極側端子は接地されている。

【0007】

制御器1000は、出力電圧V_oと指令電圧電源の指令電圧V_rとから制御信号uを生成する。制御信号uは比較器1021において三角波生成器1022の出

力と比較され、比較器1021の出力はゲート駆動回路1023を介してMOSFET1024のゲートを駆動する。入力電源1003の入力電圧は、比較器1021の出力に従ってオン又はオフされるMOSFET1024及びチョークコイル1025により変換され、平滑回路1004により平滑化された後に負荷1005に出力電圧V₀として出力される。

【0008】

ここで制御器1000の伝達関数は以下のようになる。

【数6】

$$\frac{b_2s^2 + b_1s + b_0}{s(s+a)} \quad (1)$$

なお、各係数b₀、b₁、b₂及びaは、以下のように表される。

【数7】

$$\begin{aligned} a &= \frac{1}{C_{12}} \left(\frac{1}{R_{14}} + \frac{1}{R_{15}} + \frac{1}{R_{16} + R_{17}} \right) \\ b_0 &= \frac{1}{C_{11}C_{12}R_{11}} \left(\frac{1}{R_{14}} + \frac{1}{R_{15}} + \frac{1}{R_{16} + R_{17}} \right) - \frac{R_{17}}{C_{11}C_{12}R_{14}(R_{16} + R_{17})} \left(\frac{1}{R_{11}} + \frac{1}{R_{12}} \right) \\ b_1 &= \frac{1}{C_{11}R_{11}} + \frac{R_{13}}{C_{12}R_{11}} \left(\frac{1}{R_{14}} + \frac{1}{R_{15}} + \frac{1}{R_{16} + R_{17}} \right) - \frac{R_{17}}{C_{12}R_{14}(R_{16} + R_{17})} \left\{ \left(\frac{1}{R_{11}} + \frac{1}{R_{12}} \right) R_{13} + 1 \right\} \\ b_2 &= \frac{R_{13}}{R_{11}} \end{aligned}$$

【0009】

この電源装置の特徴は、(1)式の分子の根が虚数になることであり、ゲインが最も減少する周波数において位相を所定の範囲に引き上げ、より安定した制御を行うことができるとされる。しかしながら、図21の回路では多くの抵抗及びキャパシタが存在するので、(1)式の分子の根を虚数にしつつ各回路定数をうまく決定することが困難で設計がしにくいという問題がある。また、本特許の関連特許としては米国特許第5583752号がある。

【0010】

【特許文献 1】

米国特許第 5 8 4 4 4 0 3 号

【特許文献 2】

米国特許第 5 5 8 3 7 5 2 号

【0011】

【発明が解決しようとする課題】

このように従来技術では少ない回路定数設定で高速応答を可能にする電源装置を実現することはできなかった。

【0012】

従って、本発明の目的は、安定性を保持しつつ高速応答が可能で且つより設計の行いやすい電源装置を提供することである。

【0013】

【課題を解決するための手段】

本発明の第 1 の態様に係る電源装置は、入力直流電源からの入力電圧を変換する電力変換回路と、電力変換回路の出力を平滑して負荷に供給する LC フィルタと、LC フィルタの出力電圧に基づいて電力変換回路を制御する制御回路とを具備し、当該制御回路は、

【数 8】

$$\frac{N_2 s^2 + N_1 s + N_0}{s^2 + D_1 s + D_0}$$

(N_0 、 N_1 、 N_2 、 D_0 及び D_1 は係数) で表され且つ分子の根が実数である伝達関数 G を実現し、電力変換回路の伝達関数と LC フィルタ及び負荷の伝達関数と制御回路の伝達関数 G とから求められる一巡伝達関数が、ゲイン余裕を持たない周波数特性を有するものである。

【0014】

従来の定説では、ゲイン余裕と位相余裕の両方を確保しないと安定した電源装置を得ることができないとされてきたが、本願の発明者の新規且つ非自明な知見によれば、少なくとも制御回路が (2) 式で表され且つ分子の根が実数である伝

達関数Gを実現する回路を用いれば、ゲイン余裕を確保せずとも安定性については問題がないことが分かった。また、(2)式で表され且つ分子の根が実数である伝達関数Gを採用すれば、後に述べるように、設定しなければならない回路定数の数は少なくなるため設計もし易い。さらに、ゲイン余裕を確保しないように伝達関数Gを決定した場合には、必然的に高速応答が可能な電源装置となる。

【0015】

本発明の第2の態様に係る電源装置は、入力直流電源からの入力電圧を変換する電力変換回路と、電力変換回路の出力を平滑して負荷に供給するLCフィルタと、LCフィルタの出力電圧に基づいて電力変換回路を制御する制御回路とを具備し、当該制御回路は、(2)式で表され且つ分子の根が実数である伝達関数Gを実現し、電力変換回路の伝達関数とLCフィルタ及び負荷の伝達関数と制御回路の伝達関数Gとから求められる一巡伝達関数が、位相余裕とゲイン余裕のうち位相余裕のみを有する周波数特性を示すものである。

【0016】

本発明の第3の態様に係る電源装置は、入力直流電源からの入力電圧を変換する電力変換回路と、電力変換回路の出力を平滑して負荷に供給するLCフィルタと、LCフィルタの出力電圧に基づいて電力変換回路を制御する制御回路とを具備し、当該制御回路は、(2)式で表され且つ分子の根が実数である伝達関数Gを実現し、電力変換回路の伝達関数とLCフィルタ及び負荷の伝達関数と制御回路の伝達関数Gとから求められる一巡伝達関数が、位相が -180° となる周波数でゲインが0デシベルを超える周波数特性を実現するものである。

【0017】

なお、位相が -180° となる周波数が、LCフィルタの共振周波数からゲイン交差周波数までの周波数帯域内に設定される場合もある。従来においてはゲイン余裕を持たせるため、LCフィルタにより生ずる位相遅れに対して位相進み補償を行っていた。しかし、上でも述べたように本願の発明者の新規且つ非自明な知見によればゲイン余裕を確保する必要ない。従って、本発明の第3の態様においては、LCフィルタの共振周波数からゲイン交差周波数(ゲインが0dBとなる周波数)までの周波数帯域において位相が -180° 以下になる場合があり、

その際大きくゲインを下げることなく0dBを超える状態にする。これにより高速応答が実現する。

【0018】

本発明の第4の態様に係る電源装置は、入力直流電源からの入力電圧を変換する電力変換回路と、電力変換回路の出力を平滑して負荷に供給するLCフィルタと、LCフィルタの出力電圧に基づいて前記電力変換回路を制御する制御回路とを具備し、当該制御回路は、(2)式で表され且つ分子の根が実数である伝達関数Gを実現し、電力変換回路の伝達関数とLCフィルタ及び負荷の伝達関数と制御回路の伝達関数Gとから求められる一巡伝達関数が、最も位相が遅れる周波数でゲインが0デシベルを超える周波数特性を有するものである。

【0019】

上でも述べたようにLCフィルタによる位相遅れに対して位相進み補償を全く又はあまり行わない場合には、LCフィルタによる位相遅れにより位相は大幅に遅れることになる。このようなLCフィルタによる位相遅れにより最も位相が遅れる周波数帯域を設け、当該周波数帯域にてゲインが0dBを超えるような構成とすることにより、高速応答を実現する。なお、位相が最も遅れる周波数が、LCフィルタの共振周波数からゲイン交差周波数までの周波数帯域内に設定される場合もある。

【0020】

本発明の第5の態様に係る電源装置は、入力直流電源からの入力電圧を変換する電力変換回路と、電力変換回路の出力を平滑して負荷に供給するLCフィルタと、LCフィルタの出力電圧に基づいて電力変換回路を制御する制御回路とを具備し、当該制御回路は、(2)式で表され且つ分子の根が実数である伝達関数Gを実現するPID制御機能を有し、LCフィルタの共振周波数より高い周波数で積分制御要素を適用する回路である。

【0021】

このようにLCフィルタの共振周波数より高い周波数帯においても積分制御要素を適用することにより、LCフィルタにより最も位相が遅れる周波数を含む所定の周波数帯域が生成され、ゲインはLCフィルタによるローパスフィルタの特

性及び積分制御要素の特性から急激に減少するようになる。このゲインの高傾斜化は、上記所定の周波数帯域の中でも高ゲインを実現させ、結果として負荷急変時にも高速応答できる仕組みが実現できる。さらに、上記制御回路が、ゲイン交差周波数より低い周波数で微分制御要素を適用するような回路である場合もある。

【0022】

なお、以下でも具体的に説明するが、本発明の第1乃至第5の態様における伝達関数Gを実現する回路は多数存在し、いずれであってもよい。

【0023】

【発明の実施の形態】

【実施の形態1】

本発明の第1の実施の形態に係る電源装置10の回路構成を図1に示す。電源装置10は、降圧型の電源装置であって、LCフィルタ部1と、PID制御器である制御部2と、電力変換部3とから構成される。

【0024】

制御部2は、抵抗R1乃至R4と、キャパシタC1及びC2と、増幅器21と、基準電圧電源22とを含む。抵抗R1及びキャパシタC1は、LCフィルタ部1の負荷Roの正極側の端子に接続されている。すなわち、出力電圧Voが入力される。キャパシタC1と抵抗R2は直列に接続されており、キャパシタC1及び抵抗R2は抵抗R1と並列に接続されている。従って、その一端がキャパシタC1と接続している抵抗R1の他端は、抵抗R2に接続されている。また、抵抗R1及びR2は、増幅器21の負極側入力端子に接続されており、さらに抵抗R3及びキャパシタC2に接続されている。キャパシタC2と抵抗R4は直列に接続されており、キャパシタC2及び抵抗R4は抵抗R3と並列に接続されている。従って、その一端がキャパシタC2と接続している抵抗R3の他端は、抵抗R4と接続されている。また、抵抗R3及びR4は増幅器21の出力端子に接続されている。増幅器21の正極側の入力端子は基準電圧電源22の正極側端子に接続されており、基準電圧電源22の負極側端子は接地されている。

【0025】

電力変換部3は、三角波発振器31と、PWM比較器32と、ドライブ回路33と、ダイオード34と、MOSFET35と、入力電源36とから構成される。PWM比較器32の第1の入力端子は制御部2の増幅器21の出力端子に接続され、第2の入力端子は三角波発振器31に接続される。PWM比較器32の出力はドライブ回路33に接続される。ドライブ回路33の出力は、MOSFET35のゲートに接続される。MOSFET35のドレインは、入力電源36の正極側端子に接続されており、ソースはダイオード34のカソード及びチョークコイルLに接続されている。入力電源36の負極側端子は、ダイオード34のアノードとキャパシタと負荷Roの負極側端子とに接続される。

【0026】

LCフィルタ部1は、チョークコイルLと、キャパシタCと、負荷Roとが含まれる。その一端がMOSFET35のソース及びダイオード34のカソードに接続されているチョークコイルLの他端は、キャパシタC及び負荷Roの正極側端子に接続されている。上で述べたように、その一端がチョークコイルL及び負荷Roの正極側端子に接続されたキャパシタCの他端は、負荷Roの負極側端子とダイオード34のアノードと入力電源36の負極側端子と接続されている。

【0027】

図1に示した電源装置10の動作を簡単に説明すると、制御部2は負荷Roに現れる出力電圧Voと基準電圧Vrefに基づいて制御信号を生成する。この制御信号はPWM比較器32において三角波発振器31から出力される三角波信号と比較され、制御信号の電圧に応じたパルス幅の信号が出力される。PWM比較器32の出力信号はドライブ回路33を介してMOSFET35をオン又はオフする。入力電源36の入力電圧Viは、MOSFET35のオン及びオフに従って変換され、ダイオード34とチョークコイルL及びキャパシタCにより構成されるLCフィルタとにより平滑化されて負荷Roに出力電圧Voとして出力される。これにより出力電圧Voを基準電圧Vrefに一致するよう安定的な制御がなされる。

【0028】

図1に示すような制御部2の伝達関数Gは、以下のように表される。

【数9】

$$\frac{N_2s^2 + N_1s + N_0}{s^2 + D_1s + D_0} \quad (2)$$

但し、 N_0 、 N_1 、 N_2 、 D_0 及び D_1 は係数であって、抵抗 R_1 乃至 R_4 及びキャパシタ C_1 及び C_2 との関係は以下のとおりである。

【数10】

$$N_0 = \frac{R_3}{R_1R_2C_1C_2(R_3 + R_4)}$$

$$N_1 = \frac{R_3(R_1C_1 + R_2C_1 + R_4C_2)}{R_1R_2C_1C_2(R_3 + R_4)}$$

$$N_2 = \frac{R_3R_4(R_1 + R_2)}{R_1R_2(R_3 + R_4)}$$

$$D_0 = \frac{1}{R_2C_1C_2(R_3 + R_4)}$$

$$D_1 = \frac{C_2(R_3 + R_4) + R_2C_1}{R_2C_1C_2(R_3 + R_4)}$$

【0029】

より具体的には図2のテーブルのような回路定数を使用する。すなわち、 $R_1 = 1 \text{ k}\Omega$ 、 $R_2 = 9.8 \text{ }\Omega$ 、 $R_3 = 7.10 \text{ k}\Omega$ 、 $R_4 = 2.2 \text{ k}\Omega$ 、 $C_1 = 2.2 \text{ nF}$ 、 $C_2 = 1 \text{ nF}$ である。そうすると(2)式は、以下に示すようになる。

【数11】

$$\frac{24.57s^2 + 2.134 \times 10^7 s + 4.624 \times 10^{12}}{s^2 + 4.670 \times 10^6 s + 6.513 \times 10^9} \quad (3)$$

(3)式の分子の根は、 -4.541×10^5 及び -4.144×10^5 となる

ため、虚数ではなく実数となる。

【0030】

なお、電源装置10の仕様及び他のパラメータは図3に示すものを使用するものとする。すなわち、入力電圧 $V_i = 6 \text{ V}$ 、出力電圧 $V_o = 2.5 \text{ V}$ 、出力電流 $I_o = 1 \text{ A}$ （最大）、チョークコイルLのリアクタンス $L = 3 \mu \text{H}$ 、キャパシタCのキャパシタンス $C = 9.4 \mu \text{F}$ 、負荷 $R_o = 2.5 \Omega$ 、基準電圧 $V_{ref} = 2.5 \text{ V}$ 、電力変換回路のゲイン $K_p = 10$ 倍である。

【0031】

図1の電源回路10をブロック線図で表すと図4のようになる。すなわち、出力電圧 V_o が負帰還されて目標電圧 V_{ref} から引き算され、その結果である $(V_{ref} - V_o)$ が制御器2の伝達関数 G に入力される。この伝達関数 G の出力は、フィードフォワードされた目標電圧 V_{ref} と加算されて、加算結果が制御対象の伝達関数 H に入力され、当該伝達関数 H の出力が出力電圧 V_o となる。伝達関数 G は上で述べた（2）式の形になる。本実施の形態では、制御対象の伝達関数 H は以下のようない形であるものとして説明する。

【数12】

$$\frac{\frac{1}{LC}K_p}{s^2 + \frac{1}{CR_o}s + \frac{1}{LC}} \quad (4)$$

これはLCフィルタ部1と電力変換部3を合わせた伝達関数である。図3で述べた数値を代入すると以下のとおりになる。

【数13】

$$\frac{3.546 \times 10^{11}}{s^2 + 4.255 \times 10^4 s + 3.546 \times 10^{10}} \quad (5)$$

一巡伝達関数は、（2）式及び（4）式を掛け合わせたものとなる。より具体的には、（3）式と（5）式を掛け合わせたものとなる。

【0032】

なお、本電源装置10において厳密な意味で制御対象のモデル化を考えた場合、電力変換部3に含まれるMOSFET35のスイッチング遅れや他の遅れ要素も存在することになる。しかし、厳密なモデル表現は難しく、MOSFET35のスイッチング遅れなどがどの程度なのか不明確なため、以下ではLCフィルタ部1の遅れが他に比べて非常に大きいものとしてLCフィルタ部1と、無視することのできない大きなゲインを有する電力変換部3とを制御対象としてモデル化した場合の例を示す。

【0033】

(5) 式に基づく制御対象のボード線図を図5に示す。図5では上段にゲインの周波数特性及び下段に位相の周波数特性が示されている。図5ではおよそ 3×10^4 HzがLCフィルタ部1の共振周波数である。そして、共振周波数にゲインのピークがあり、位相は共振周波数より前から遅れ始め、共振周波数において急激に遅れ、最終的には 180° 遅れる。(3)式に基づく制御部2のボード線図を図6に示す。図6でも上段にゲインの周波数特性及び下段に位相の周波数特性が示されている。図6においてゲインはおよそ 5×10^1 Hzまで57dBで水平であるが、およそ 5×10^1 Hzからおよそ 7×10^4 Hzまでほぼ直線的に減少している。それより高周波帯域では、ゲインは少々上昇している。位相は、およそ 2×10^3 Hzまで -80° 程度の位相遅れが発生し、それより高周波帯域ではおよそ 3×10^5 Hzまでに $+40^\circ$ まで位相が進む。さらに高周波帯域では再度 0° 程度まで位相遅れが生じている。

【0034】

図5と図6を重ねたボード線図を図7に示す。上段にゲインの周波数特性を示しており、曲線51は(5)式のゲイン周波数特性を、曲線31は(3)式のゲイン周波数特性を示している。本実施の形態では、LCフィルタ部1の共振周波数より高い周波数帯域まで、定常偏差を無くすために低周波数帯域から加えていた積分(I)要素を用いることが特徴である。図7では、実線で示される部分41である。また、図7の下段は位相の周波数特性を示しており、曲線52は(5)式の位相周波数特性を、曲線32は(3)式の位相周波数特性を示している。実線で示される部分42がゲイン周波数特性における部分41に対応しており、

一巡伝達関数の位相周波数特性を求めるため曲線5 2及び曲線3 2が加算されると位相が最も遅れる周波数帯域（以下、トラップポイントと呼ぶ）が生成される。なお、P I D制御要素の微分（D）制御要素は、ゲイン交差周波数より低い周波数から適用している。

【0035】

図8に一巡伝達関数のボード線図を示す。上段は図5及び図6のゲイン特性を合成した一巡伝達関数のゲイン周波数特性を、下段は図5及び図6の位相周波数特性を合成した一巡伝達関数の位相周波数特性をそれぞれ示す。図7で示したように、P I Dのうち積分（I）要素をLCフィルタ部1の共振周波数より高い周波数帯域まで用いることによって、ゲイン周波数特性の傾斜が大きくなる部分8 1が生成される。また、位相が最も遅れる周波数を含むトラップポイント8 2も部分8 1と同じ周波数帯域で生成される。この周波数帯域において位相は-180°以下となり、その際のゲインは0 dBを超えている。すなわち、ゲイン余裕はない。従来の安定性の概念からは許されないが、本実施の形態ではゲイン余裕は無くとも安定的に動作するため問題は無い。一方、ゲインが0 dBとなるゲイン交差周波数における、-180°からの位相マージンはおよそ45°で十分な位相余裕が確保されており、これにより安定動作が確保される。なお、トラップポイント8 2は、LCフィルタ部1の共振周波数において位相が-180°遅れるという特性と積分（I）制御要素をLCフィルタ部1の共振周波数より高い周波数帯域まで用いることによって生成されるため、位相が最も遅れる周波数はLCフィルタ部1の共振周波数より高い周波数となる。一方、トラップポイント8 2より高い周波数では位相は進みゲイン交差周波数においてほぼ極大となっている。従って、ゲイン交差周波数は位相が最も遅れる周波数より高い周波数となる。

【0036】

このように位相が急激に遅れる周波数帯域を作成すると当該周波数帯域において図8の部分8 1に示すようにゲインが急激に減少することになる。このゲインの高傾斜化により限られた周波数帯域の中でも高ゲインを実現でき、結果として負荷急変時等にも高速応答が可能になる仕組みが達成されることになる。

【0037】

また、制御部2に用いられる抵抗は4つでキャパシタは2つである。後に説明するが抵抗は3つでもよく、上で述べたようなゲイン及び位相の周波数特性を実現するための回路を構成するために決定すべきパラメータの数は比較的少なく、設計がし易いという利点もある。

【0038】

ここで図1に示した回路及び電源の仕様（図3）を変えずに位相余裕及びゲイン余裕の両方を確保する設計例を図9に示す。すなわち、 $R_1 = 1\text{ k}\Omega$ 、 $R_2 = 25\Omega$ 、 $R_3 = 70\text{ k}\Omega$ 、 $R_4 = 550\Omega$ 、 $C_1 = 10\text{ nF}$ 、 $C_2 = 14\text{ nF}$ である。このような回路定数設定の場合に制御部2の伝達関数は以下のようになる。

【数14】

$$\frac{22.3s^2 + 5.09 \times 10^6 s + 2.835 \times 10^{11}}{s^2 + 4.001 \times 10^6 s + 4.05 \times 10^9} \quad (6)$$

(6)の分子の根は、 -1.318×10^5 及び -9.647×10^4 である。

【0039】

(6)式で表される制御部2の伝達関数のボード線図を図10に示す。上段にはゲインの周波数特性が、下段には位相の周波数特性が表されている。図6で示した(3)式で表される制御部2の伝達関数のボード線図とは異なり、PIDの積分(I)要素の適用はほぼ $2 \times 10^4\text{ Hz}$ というLCフィルタ部1の共振周波数より低い周波数で終了されている。位相もそれに従ってより低周波帯域から進み始め、位相進みが極大となる周波数も低くなっている。従って、(5)式と(6)式を掛け合わせた一巡伝達関数のボード線図は図18に示されるような形となる。図18の下段に示したように、位相はおよそ 20 Hz からおよそ 1 kHz までは遅れるが共振周波数に達する前に -20° 付近まで進み、共振周波数前後で大幅な遅れを生じるが、PIDの微分(D)要素の適用により図8のように -180° まで遅れることは無い。そのためゲインが 0 dB を超える周波数帯域では位相が -180° 以下になることはない。位相が極小となる周波数は存在する

が、最も位相が遅れる周波数ではない。そして、ゲインが0 dBとなるゲイン交差周波数では位相余裕がおよそ60°確保される。さらに高周波帯域では位相はさらに遅れてゆき、およそ 1×10^7 Hzにおいて-180°となると、ゲインは負の値を有するためゲイン余裕も確保されることになる。ゲイン周波数特性も図8に示したようなゲインの急激な減少を示すことなく、なだらかに減少する。このため安定性は従来から言われているように確保されているが、高速応答性は劣ることになる。これに対して本実施の形態では、上でも述べたように、PIDの積分(I)要素をLCフィルタ部1の共振周波数より高い周波数領域まで適用することにより、位相周波数特性においてトラップポイントを生成し、ゲイン周波数特性においてゲインの高傾斜化が達成される。安定性のため位相余裕は確保するが、ゲイン余裕を無視し、上記のようなゲイン及び位相の周波数特性を実現することにより、高速応答性を実現している。

【0040】

[実施の形態2]

本実施の形態に係る電源装置20の回路構成を図11に示す。図1に示した電源装置10との差はLCフィルタ部1bのキャパシタCに直列に抵抗Rcが接続されるようになった点、及び制御部2bの抵抗及びキャパシタの回路定数が図12に示すように変更された点である。従って、接続関係についてはここでは説明しない。なお、抵抗Rcは、等価直列抵抗とも呼ばれ、キャパシタCに含まれる抵抗成分を表すものである。従って $Rc = 2 \text{ m}\Omega$ 程度の大きさになる。後に説明するが、抵抗Rcは高周波帯域において位相進み補償として作用する。制御部2bの抵抗及びキャパシタの回路定数は、図12に示すように、 $R1 = 1 \text{ k}\Omega$ 、 $R2 = 60\Omega$ 、 $R3 = 430\text{ k}\Omega$ 、 $R4 = 1.4\text{ k}\Omega$ 、 $C1 = 3.3\text{ nF}$ 、 $C2 = 1.8\text{ nF}$ である。

【0041】

制御部2bの伝達関数を計算すると以下のような式になる。

【数15】

$$\frac{24.65s^2 + 1.683 \times 10^7 s + 2.797 \times 10^{12}}{s^2 + 5.052 \times 10^6 s + 6.504 \times 10^9} \quad (7)$$

(7) 式において分子の根は、 -3.968×10^5 及び -2.860×10^5 となり、虚数ではなく、実数である。

一方、LCフィルタ部1bと電力変換部3を合わせた制御対象の伝達関数を計算すると以下のような式になる。

【数16】

$$\frac{\frac{RcRo}{L(Rc+Ro)}Kp s + \frac{Ro}{LC(Rc+Ro)}Kp}{s^2 + \left\{ \frac{1}{C(Rc+Ro)} + \frac{RcRo}{L(Rc+Ro)} \right\} s + \frac{Ro}{LC(Rc+Ro)}} \quad (8)$$

$$\frac{6661.3s + 3.543 \times 10^{11}}{s^2 + 4.32 \times 10^4 s + 3.54 \times 10^{10}} \quad (9)$$

【0042】

(9) 式の伝達関数をボード線図で表すと図13のようになる。図13の上段に表されたゲインの周波数特性については図5のゲイン周波数特性と大きな差はない。図13の下段に表された位相の周波数特性については、上で述べたように抵抗Rcが高周波帯域において位相進み補償として作用するため、およそ 4×10^5 Hz から徐々に位相が進み始める。一方 (7) 式の伝達関数をボード線図で表すと図14のようになる。図6と比較すると、低周波帯域においてゲインが減少しており、位相のカーブの形状が若干異なるが、ほぼ同様の周波数特性を表している。

【0043】

(7) 式の伝達関数と (9) 式の伝達関数を掛け合った一巡伝達関数のボード線図を図15に示す。図15の上段のゲインの周波数特性においては、図8と同様にゲインが急激に減少する周波数帯域の部分1401が設けられている。ま

た、図15の下段の位相の周波数特性においては、図8と同様に、LCフィルタ部1bの共振周波数より高い周波数帯域において、最も位相が遅れる周波数を含むトラップポイント1402が設けられている。但し、図8では最も位相が遅れる周波数では -180° を下回るようになっていたが、図15では -180° に達していない。これは図15で示される一巡伝達関数が（7）式の伝達関数と（9）式の伝達関数を掛け合わせることにより計算されているためであって、電源装置20の全ての遅れ要素を勘案すれば、位相が -180° を下回る周波数が存在する可能性がある。

【0044】

トラップポイント1402ではゲインは0dBを超えており、トラップポイント1402以降では位相は -180° を下回ることは無いので、ゲイン余裕は確保されていない。位相が最も遅れる周波数以降は一旦PIDの微分（D）要素により位相は進み、ゲインが0dBとなるゲイン交差周波数では、およそ 50° の位相余裕が確保されている。ゲイン交差周波数以降では、制御部2bの伝達関数によれば位相は再度遅れるようになるが、抵抗Rcの位相進み補償が作用するためにおよそ $2 \times 10^6 \text{ Hz}$ から進み始める。

【0045】

このように本実施の形態でも実施の形態1と同様に、PIDの積分（I）要素をLCフィルタ部1bの共振周波数よりも高周波帯域まで適用するため、トラップポイント1402が生成される。このトラップポイント1402では、まだゲインは0dBを超える状態で、さらに高傾斜化されているので、高速応答性が実現される。また、ゲイン交差周波数では、位相余裕が確保されているので、ゲイン余裕は無くとも安定性に問題はない。図15のような位相及びゲインの周波数特性を実現するように制御部2bが設計されると、従来に比して安定性を保持しつつ、高速応答性を向上させることができる。なお、決定しなければならない回路定数の数は多くなっていないので、図19に示した回路よりも設計がしやすくなる。

【0046】

[実施の形態3]

実施の形態1及び2では、回路定数は違うが、制御部2と制御部2bとで抵抗及びキャパシタの個数及び接続関係は変わらなかった。実施の形態3では、制御部2又は制御部2bに図16に示すような回路を採用するものである。

【0047】

すなわち、図1又は図11に示した制御部2又は制御部2bにおける抵抗R3を取りはずした回路である。より具体的には、制御部2cは、抵抗R1、R2及びR4と、キャパシタC1及びC2と、増幅器21と、基準電圧電源22とを含む。抵抗R1及びキャパシタC1は、LCフィルタ部1の負荷Roの正極側の端子に接続されている。キャパシタC1と抵抗R2は直列に接続されており、キャパシタC1及び抵抗R2は抵抗R1と並列に接続されている。従って、その一端がキャパシタC1と接続している抵抗R1の他端は、抵抗R2に接続されている。抵抗R1及びR2は、増幅器21の負極側入力端子に接続されており、さらにキャパシタC2に接続されている。キャパシタC2と抵抗R4は直列に接続されている。また、抵抗R4は増幅器21の出力端子に接続されている。増幅器21の正極側の入力端子は基準電圧電源22の正極側端子に接続されており、基準電圧電源22の負極側端子は接地されている。増幅器21の出力はPWM比較器31に接続される。また、抵抗R1及びキャパシタC1は負荷Roの正極側端子に接続される。

【0048】

このような制御部2cの伝達関数は、基本的には(2)式のとおりであって、N0、N1、N2、D0及びD1は、抵抗R1、R2及びR4及びキャパシタC1及びC2で以下のとおり表される。

【数17】

$$N_0 = \frac{1}{R1R2C1C2}$$

$$N_1 = \frac{R1C1 + R2C1 + R4C2}{R1R2C1C2}$$

$$N_2 = \frac{R4(R1 + R2)}{R1R2}$$

$$D_0 = 0$$

$$D_1 = \frac{1}{R2C1}$$

【0049】

これらの回路定数を例えば図15又は図8に示すような一巡伝達関数のゲイン及び位相周波数特性を実現するように決定すれば、実施の形態1及び2と同等の効果を得ることができるようになる。

【0050】

なお、本発明の回路定数は実施の形態1及び2に示したものだけに限定されるものではなく、上で述べた特徴を実現できればどのような数値の組み合わせであっても良い。

【0051】

【発明の効果】

以上述べたように本発明によれば、安定性を保持しつつ高速応答が可能で且つより設計の行いやすい電源装置を提供できる。

【図面の簡単な説明】

【図1】

本発明の実施の形態1における電源装置の回路構成を示す図である。

【図2】

本発明の実施の形態1における制御部の回路定数を表すテーブルである。

【図3】

本発明の実施の形態1及び2における回路100及び110の回路定数を表すテーブルである。

【図4】

本発明の実施の形態1及び2におけるブロック線図を示す図である。

【図5】

本発明の実施の形態1における制御対象たるLCフィルタ部及び電力変換部の伝達関数のボード線図である。

【図6】

本発明の実施の形態1における制御器の伝達関数のボード線図である。

【図7】

本発明の実施の形態1における制御対象たるLCフィルタ部及び電力変換部の伝達関数のボード線図及び制御器の伝達関数のボード線図を重ね合わせた図である。

【図8】

本発明の実施の形態1における一巡伝達関数のボード線図である。

【図9】

従来技術における制御器の回路定数を表すテーブルである。

【図10】

従来技術における制御器の伝達関数のボード線図である。

【図11】

本発明の実施の形態2における電源装置の回路構成を示す図である。

【図12】

本発明の実施の形態2における制御器の回路定数を表すテーブルである。

【図13】

本発明の実施の形態2における制御対象たるLCフィルタ部及び電力変換部の伝達関数のボード線図である。

【図14】

本発明の実施の形態2における制御器の伝達関数のボード線図である。

【図15】

本発明の実施の形態2における一巡伝達関数のボード線図である。

【図16】

本発明の実施の形態3における制御器の回路構成例を示す図である。

【図17】

従来技術におけるブロック線図を示す図である。

【図18】

従来技術における一巡伝達関数のボード線図を示す図である。

【図19】

従来技術における回路構成図である。

【符号の説明】

1, 1b LCフィルタ部 2, 2b 制御部

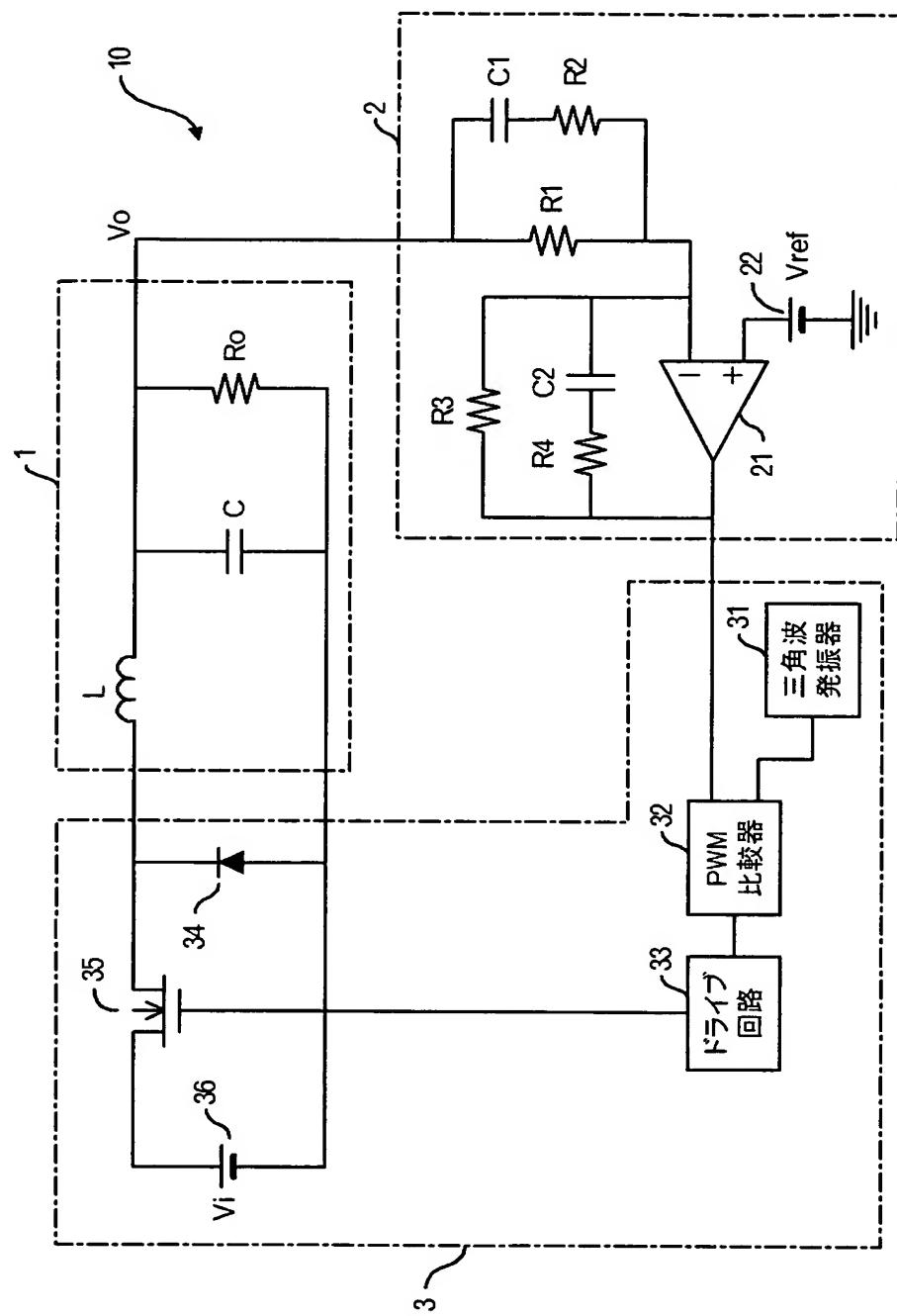
3 電力変換部 34 ダイオード

35 MOSFET 36 入力電源

【書類名】

図面

【図1】



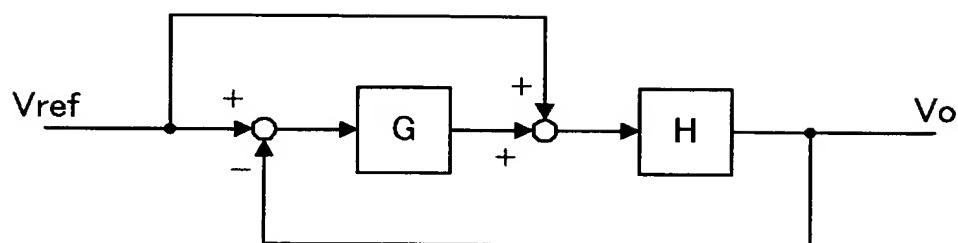
【図2】

R1	1kΩ
R2	98Ω
R3	710kΩ
R4	2.2kΩ
C1	2.2nF
C2	1nF

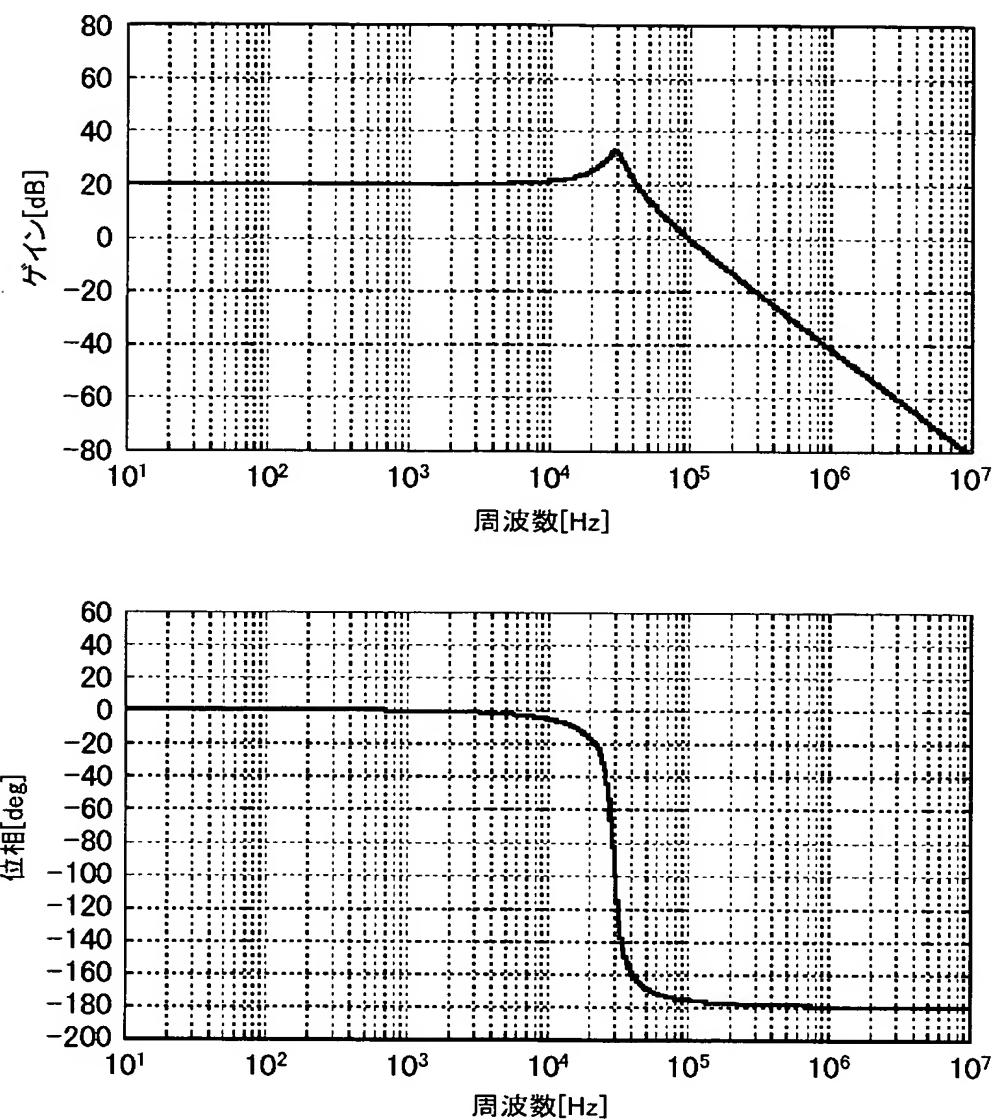
【図3】

Vi	6V
Vo	2.5V
Io	1A(max)
L	3μH
C	9.4μF
Ro	2.5Ω
Vref	2.5V
Kp	10倍

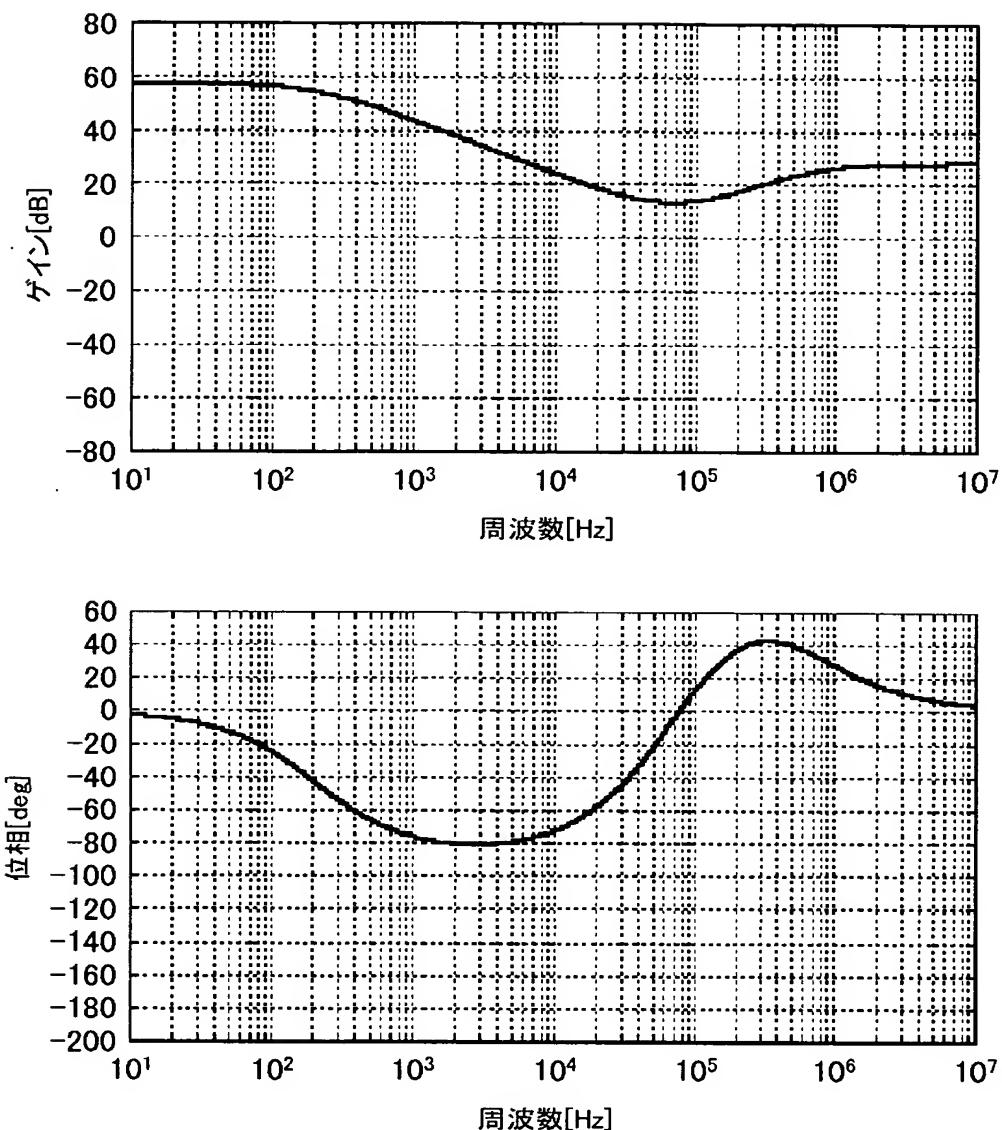
【図4】



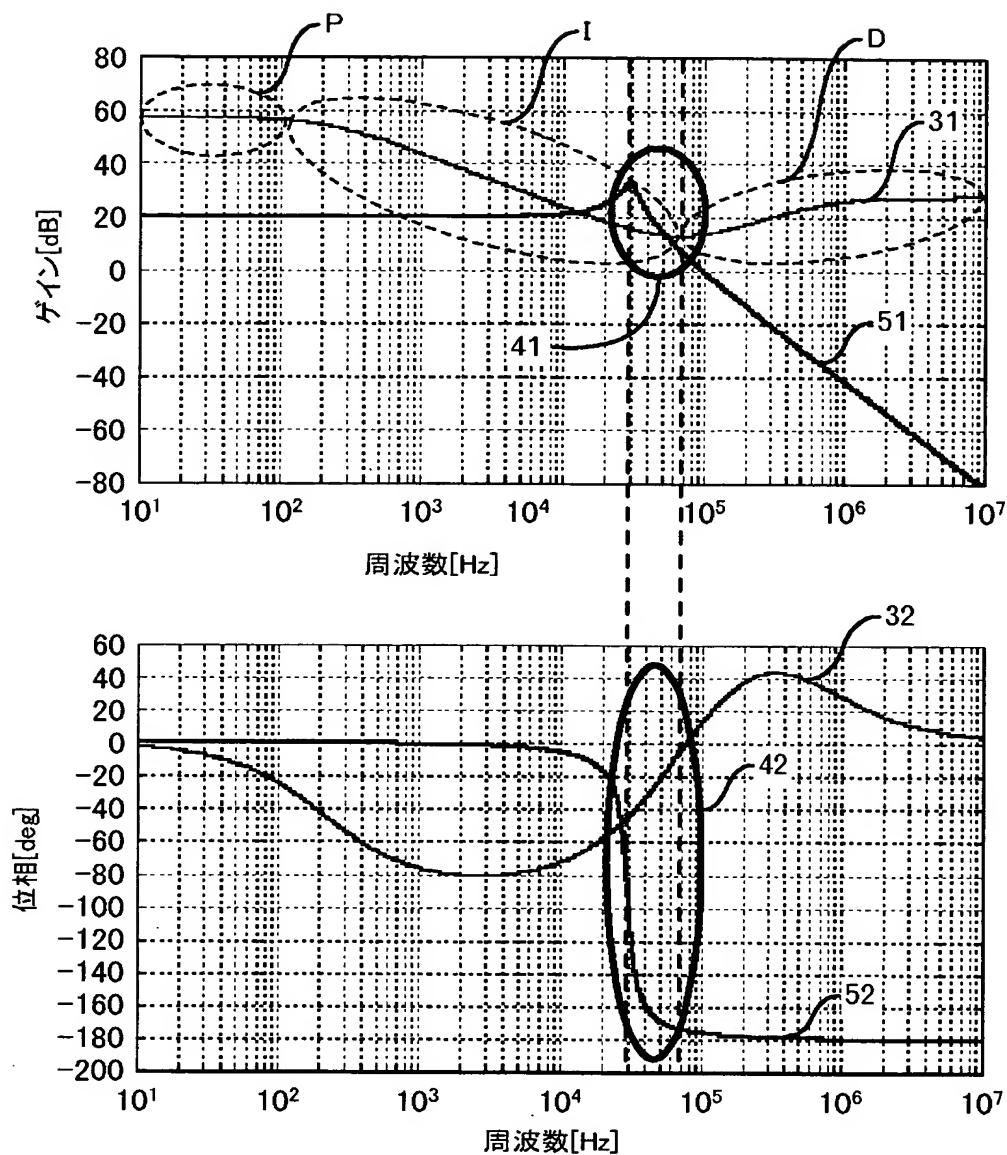
【図 5】



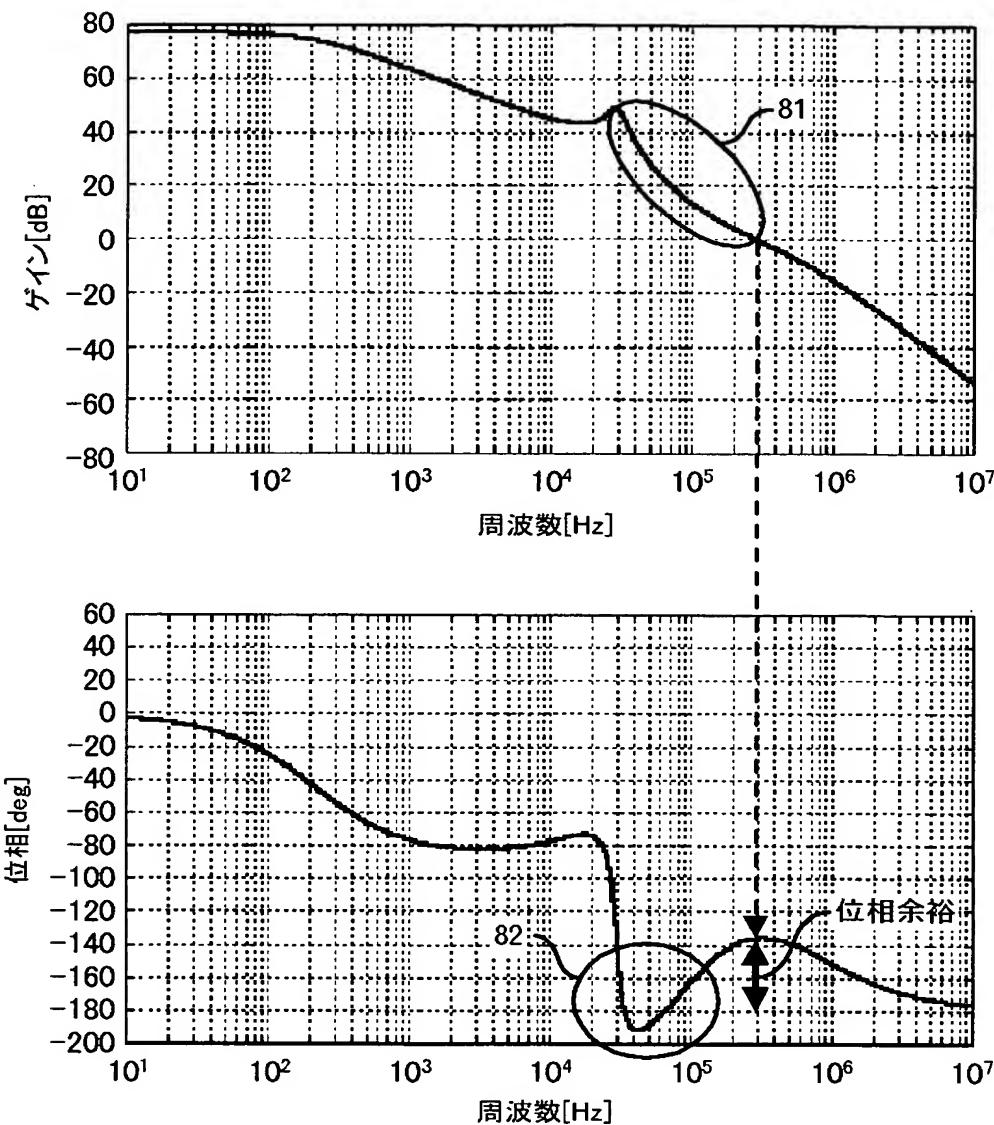
【図6】



【図7】



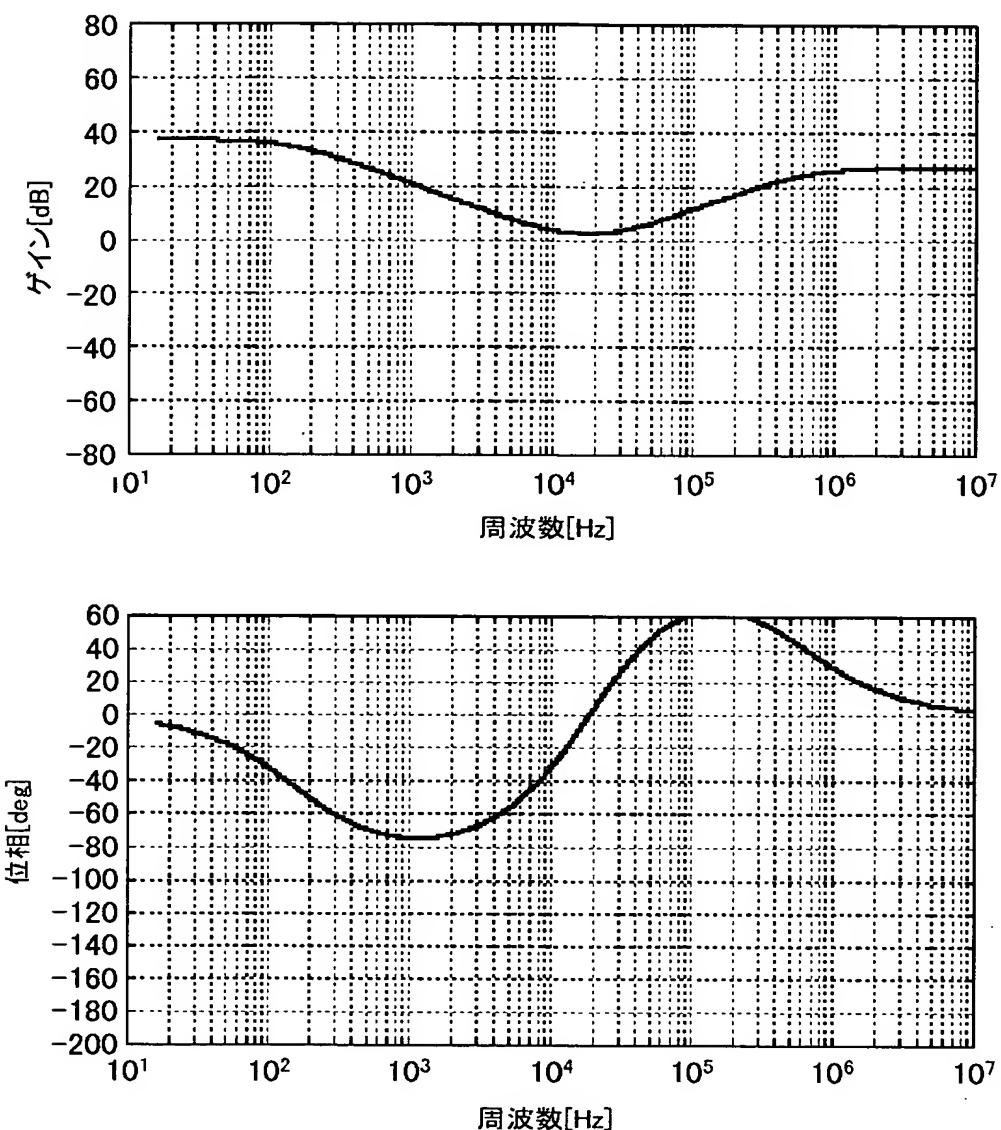
【図 8】



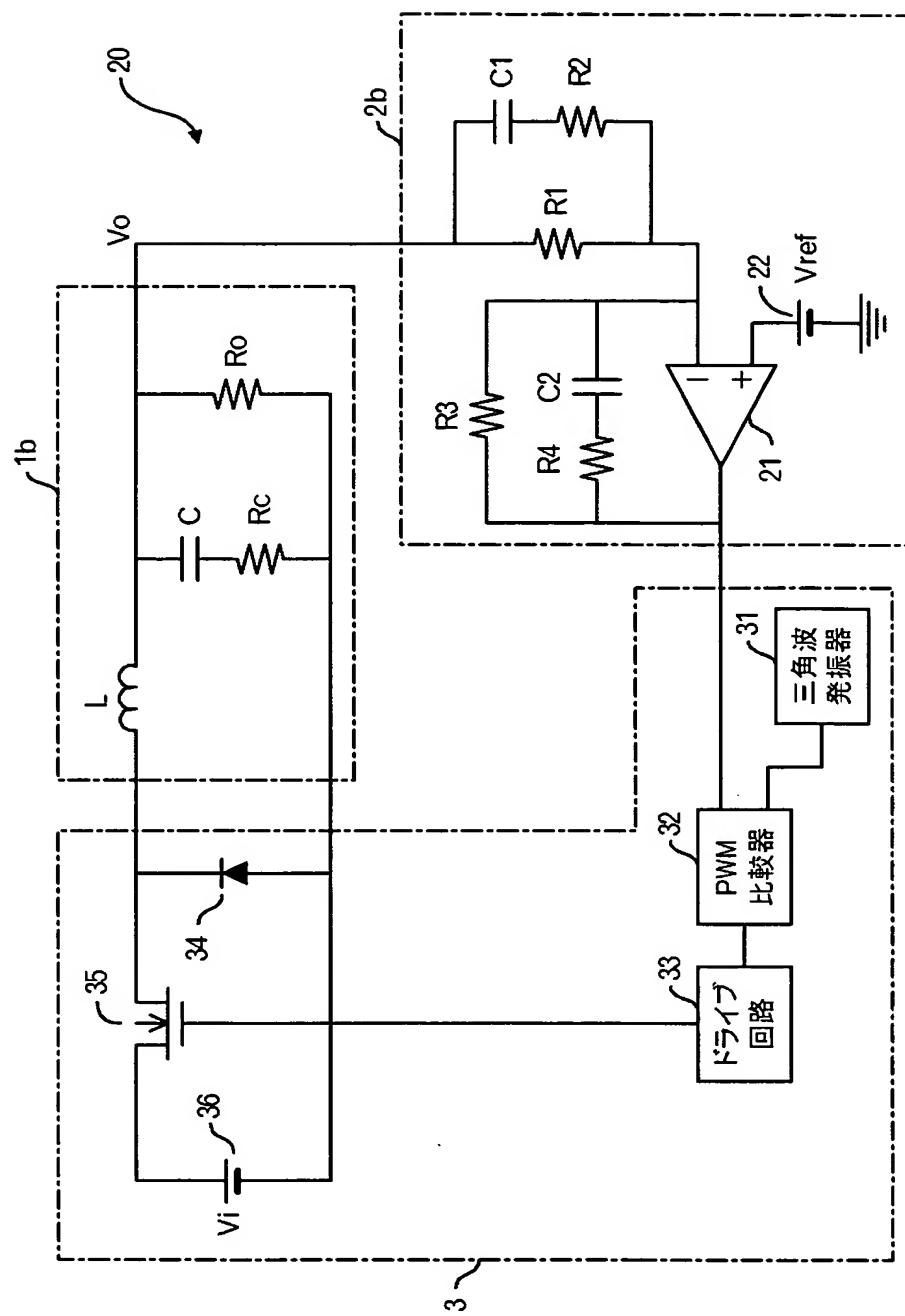
【図 9】

R1	1kΩ
R2	25Ω
R3	70kΩ
R4	550Ω
C1	10nF
C2	14nF

【図10】



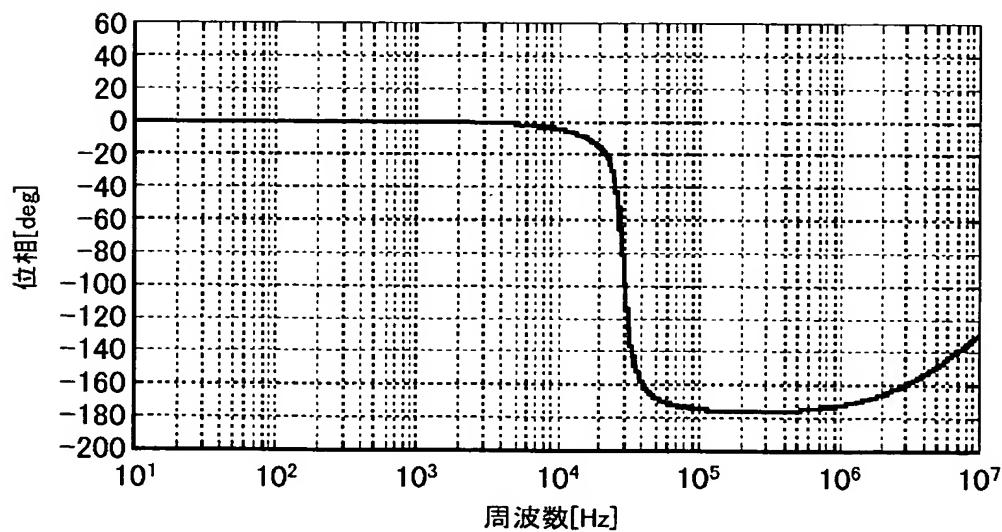
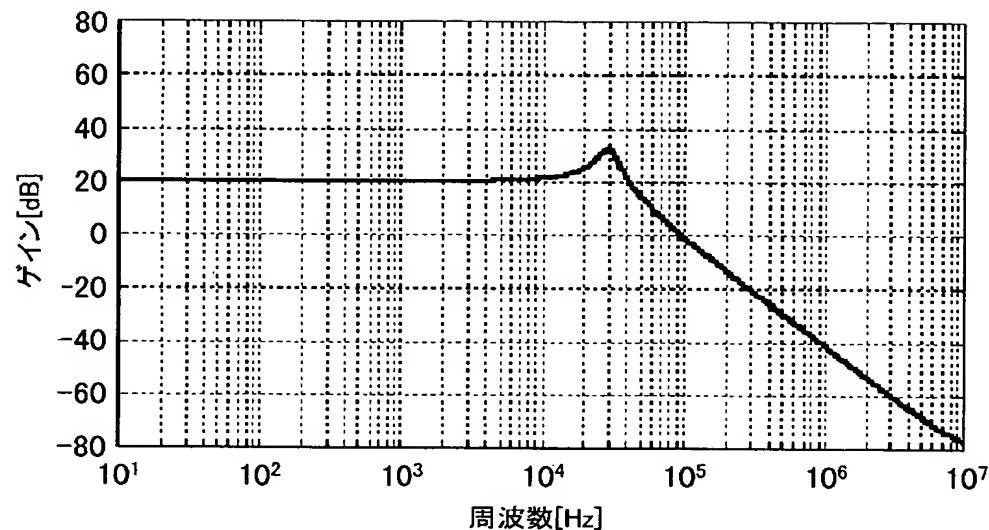
【図11】



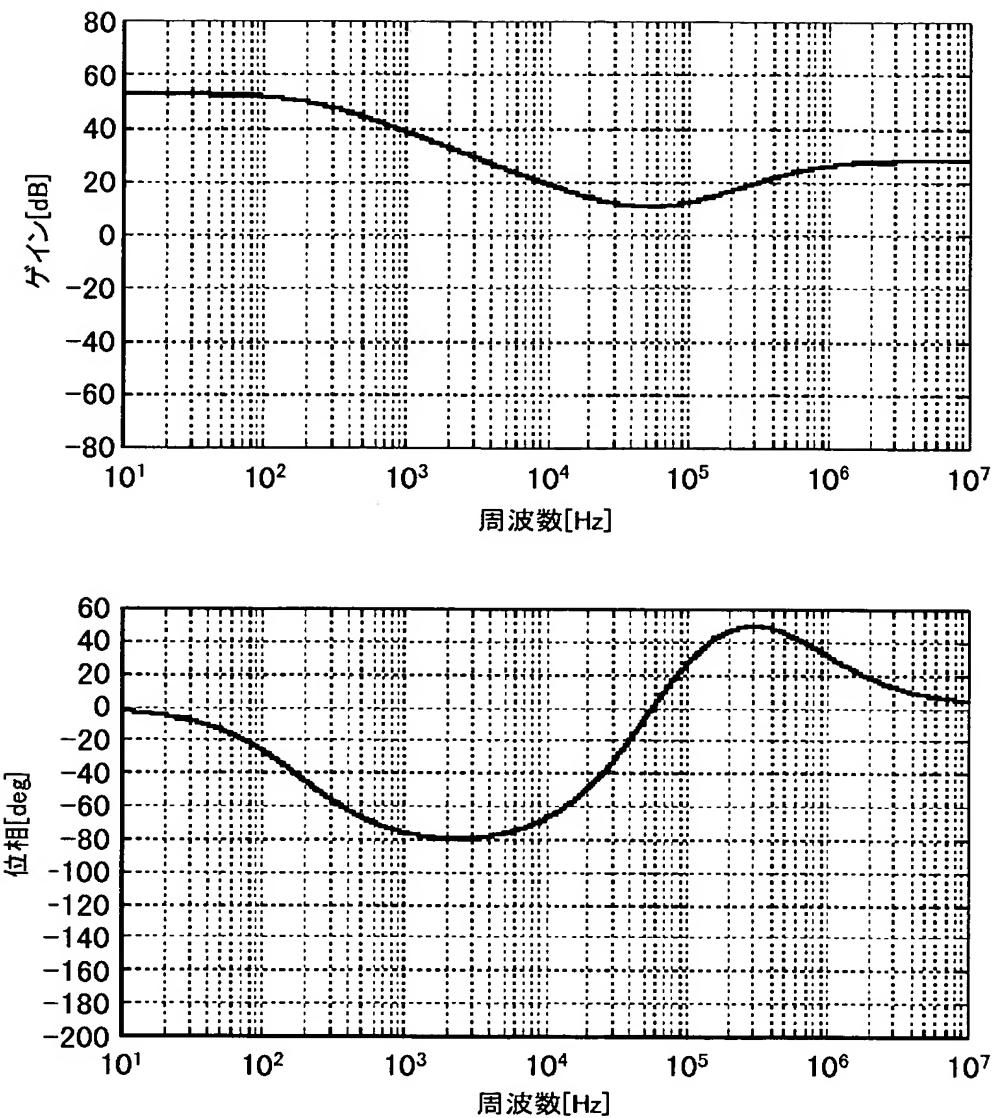
【図 1 2】

R1	1kΩ
R2	60Ω
R3	430kΩ
R4	1.4kΩ
C1	3.3nF
C2	1.8nF

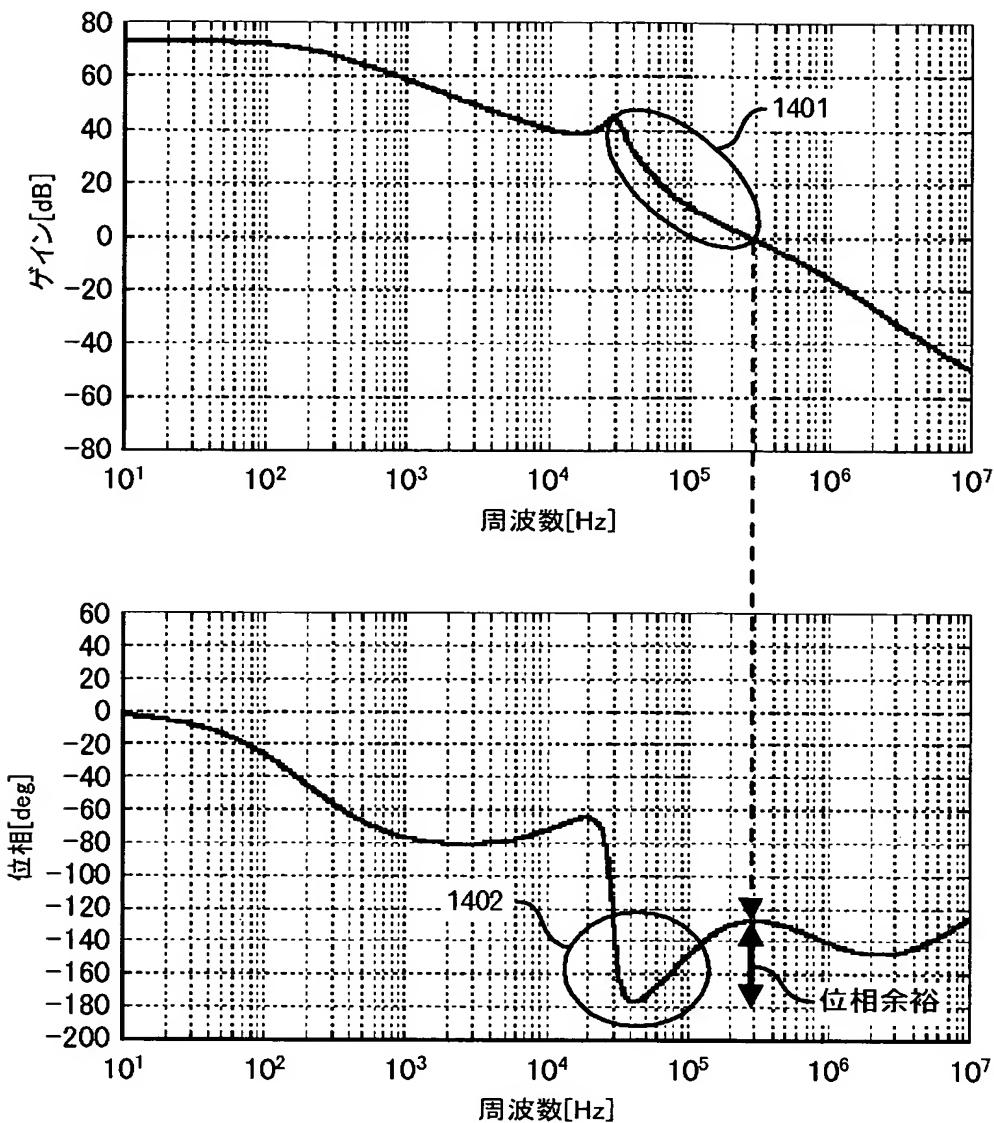
【図 1 3】



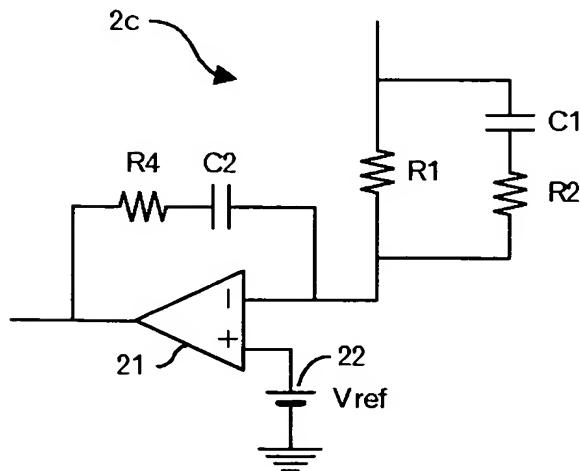
【図14】



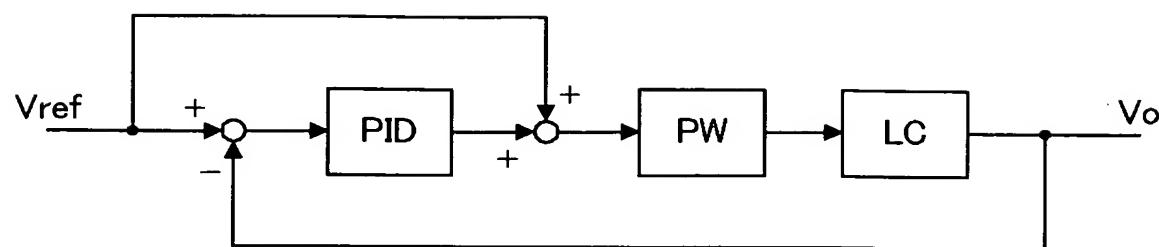
【図15】



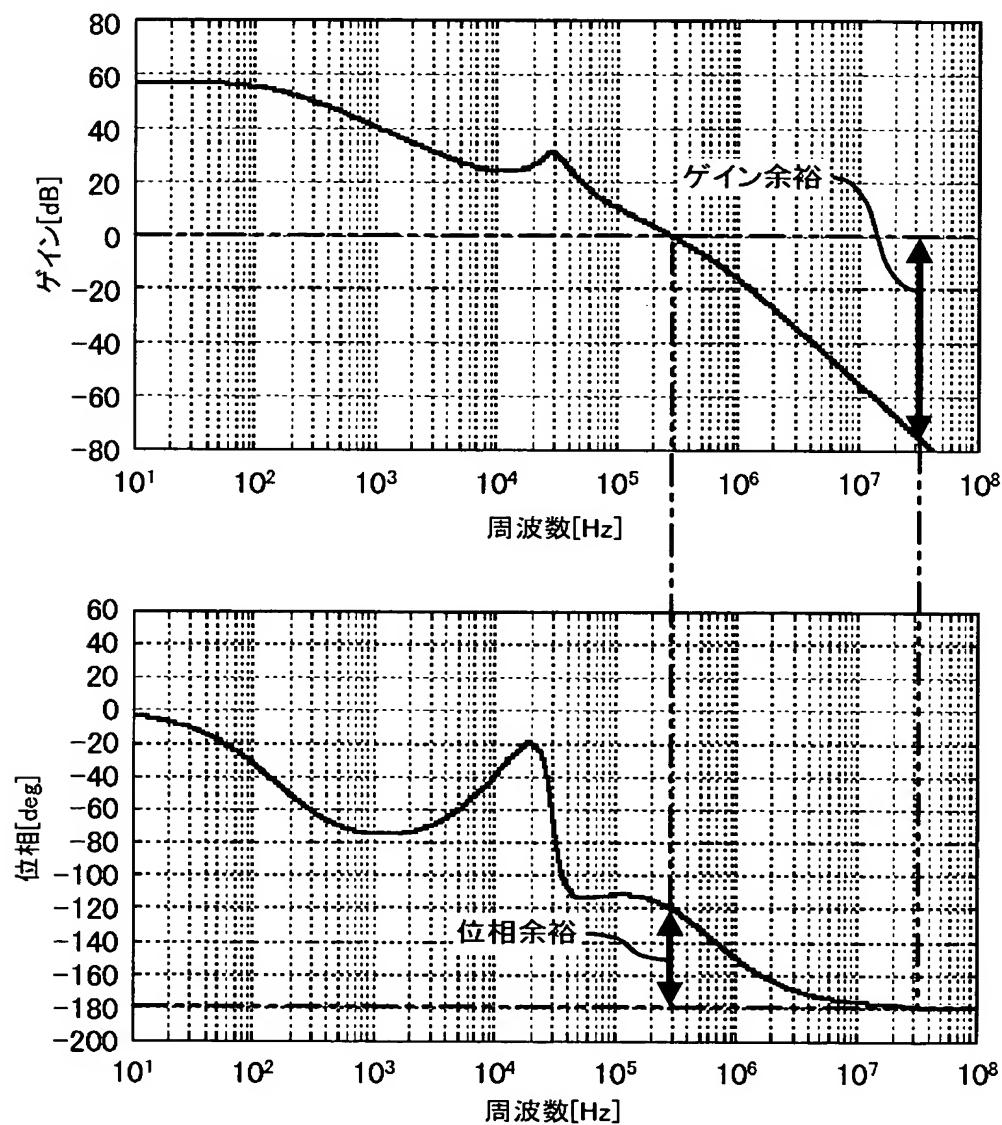
【図16】



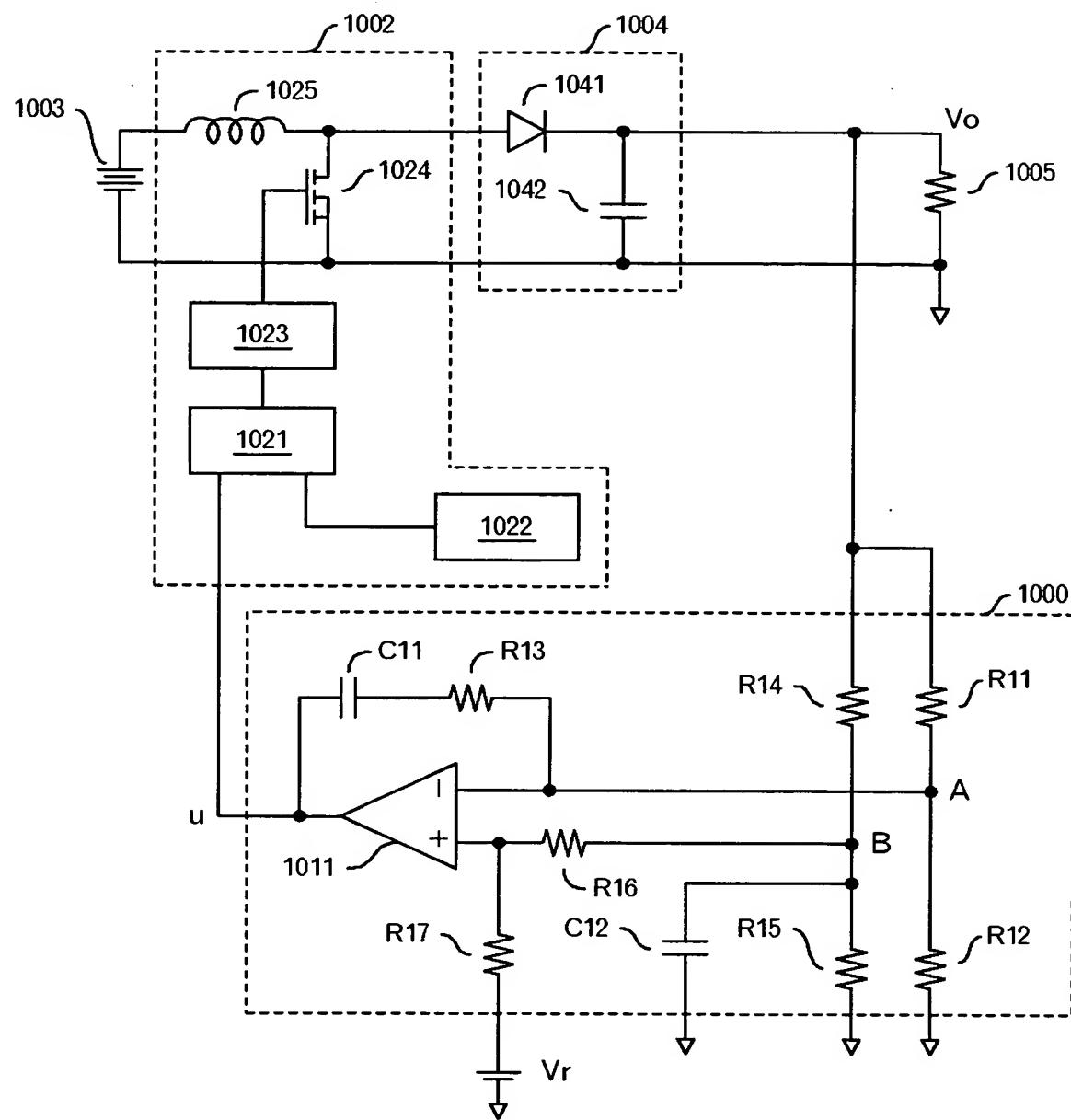
【図17】



【図18】



【図19】



【書類名】 要約書

【要約】

【課題】

安定的で高速応答が可能な電源装置を提供する。

【解決手段】

電源装置において P I D 帰還制御を行う際に、従来は一巡伝達関数のボード線図上においてゲイン余裕と位相余裕を設ける必要があった。本発明の電源装置の制御部は、その伝達関数の形式は従来と同じであるが各係数の値は異なり、ゲイン余裕を確保することなく位相余裕のみを確保し、ゲインの減少が激しい部分 8 1 と位相が大幅に遅れる部分 8 2 とを設けるような伝達関数を実現する回路である。これは、P I D の積分要素を L C フィルタの共振周波数より高い周波数領域まで適用することにより実現される。これにより、安定性を損なうことなく、高速応答が可能となる。また、回路定数の設定についても困難性が高まることは無い。

【選択図】 図 8

【書類名】 手続補正書

【提出日】 平成14年12月24日

【あて先】 特許庁長官 殿

【事件の表示】

【出願番号】 特願2002-342796

【補正をする者】

【識別番号】 000204284

【氏名又は名称】 太陽誘電株式会社

【代理人】

【識別番号】 100103528

【弁理士】

【氏名又は名称】 原田 一男

【手続補正 1】

【補正対象書類名】 特許願

【補正対象項目名】 発明者

【補正方法】 変更

【補正の内容】

【発明者】

【住所又は居所】 東京都台東区上野6丁目16番20号 太陽誘電株式会
社内

【氏名】 浅沼 和夫

【発明者】

【住所又は居所】 東京都台東区上野6丁目16番20号 太陽誘電株式会
社内

【氏名】 坂本 守

【その他】 出願人から代理人への通知が筆頭発明者の浅沼和夫のみ
で、代理人も出願時に発明者の確認を失念したため、坂
本守の記載がもれてしまいました。

【プルーフの要否】 要

特願2002-342796

出願人履歴情報

識別番号 [000204284]

1. 変更年月日 1990年 8月24日

[変更理由] 新規登録

住所 東京都台東区上野6丁目16番20号
氏名 太陽誘電株式会社